

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-175366

(43) 公開日 平成11年(1999) 7月2日

(51) IntCl⁶

G 0 6 F 11/22

識別記号

3 4 0

F I

G 0 6 F 11/22

3 4 0 A

審査請求 有 請求項の数16 O L (全 13 頁)

(21) 出願番号 特願平9-339216

(22) 出願日 平成9年(1997)12月10日

(71) 出願人 000215903

帝人製機株式会社

大阪府大阪市西区江戸堀1丁目9番1号

(72) 発明者 千葉 高洋

神奈川県横浜市港北区新羽町1189番地 帝

人製機株式会社横浜開発センター内

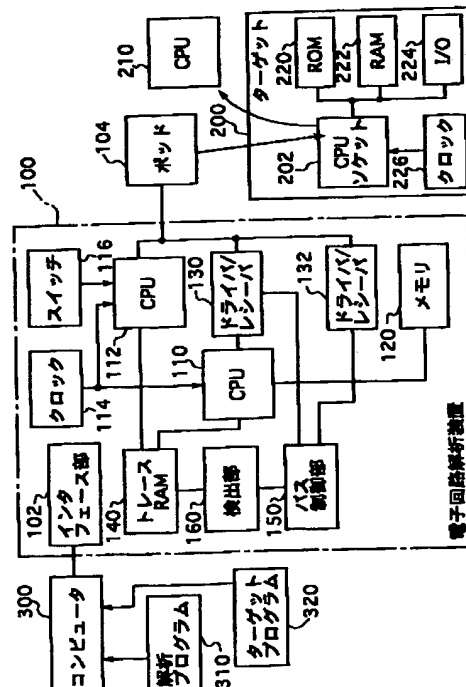
(74) 代理人 弁理士 有我 軍一郎

(54) 【発明の名称】 電子回路解析装置、電子回路解析方法、電子回路解析プログラムを記録した媒体および電子回路解析システム

(57) 【要約】

【課題】 CPUを搭載した電子回路の解析を効率よく行なう高機能および高精度な電子回路解析システムを簡単な構成で安価に提供する。

【解決手段】 本発明の電子回路解析システムは、ターゲット200に搭載されたCPUと同種の第1および第2のCPU110、112と、電源スイッチ116と、第1ドライバ/レシーバ130と、記憶装置120と、バス制御部150と、検出部160と、を備え、第1ドライバ/レシーバが、記憶装置とターゲットの両方をアクセス可能な第1CPUと、ターゲットに直接接続された第2CPUと、を選択することによって、ターゲットのデバッグ工程において、さまざまな条件でターゲットの解析が実施できる。また、第1および第2CPUを同期して動作させ、その動作を比較して、その差異を検出することができる電子回路解析システムが提供される。



【特許請求の範囲】

【請求項1】CPUソケットに挿入され、所定のターゲットプログラムを実行するCPUと、該CPUに接続され、前記ターゲットプログラムを記憶するプログラム領域および前記CPUが使用する作業領域を有する記憶装置と、を備えた電子回路を解析する電子回路解析装置であって、前記電子回路を解析するための解析プログラムを実行するとともに、前記電子回路のCPUの動作を代行する前記電子回路と同種の第1および第2のCPUと、前記電子回路のCPUが外されたCPUソケットを通して前記電子回路と前記第1および第2CPUとを接続する接続手段と、前記第1のCPUに接続され、前記解析プログラムを保存するプログラム領域、前記解析プログラムの作業領域および前記電子回路の前記記憶装置を模擬するエミュレーション領域を有するデータの読取り書き込み可能な記憶手段と、
前記第1および第2のCPUの中から何れか一つのCPUを選択し、該選択されたCPUに、前記電子回路の前記記憶装置の使用を許可する選択許可手段と、を備えたことを特徴とする電子回路解析装置。

【請求項2】請求項1記載の装置において、前記選択許可手段が、前記接続手段を介した前記電子回路と前記第1のCPUとの間に介在して、前記第1のCPUと前記電子回路との間の接続を切換えるドライバ/レシーバを含むことを特徴とする電子回路解析装置。

【請求項3】請求項2記載の装置において、前記ドライバ/レシーバが前記第1のCPUと前記電子回路間を全て又は一部遮断したとき、前記第1のCPUが前記記憶手段のエミュレーション領域と遮断していない領域を使用して動作し、前記第2のCPUが前記電子回路の前記記憶装置や前記エミュレーション領域を共有領域として使用して動作することを特徴とする電子回路解析装置。

【請求項4】請求項1記載の装置が、所定のクロックパルスを発振するクロック発振器と、前記第1および第2のCPUの動作状態を示すデータを記憶する動作状態記憶手段と、前記第1および第2のCPUの制御信号をそれぞれ読取る信号読取手段と、該信号読取手段の第1および第2のCPUの各制御信号に基づいて、該信号が一致するかどうか検出する検出手段と、をさらに備え、前記第1および第2のCPUが前記クロック発振器に接続されて、同期して動作することを特徴とする電子回路解析装置。

【請求項5】請求項1記載の装置が、インサートエミュレータであることを特徴とする電子回路解析装置。

【請求項6】請求項1記載の装置が、ROMエミュレータであることを特徴とする電子回路解析装置。

【請求項7】CPUソケットに挿入され、所定のターゲットプログラムを実行するCPUと、該CPUに接続され、前記ターゲットプログラムを記憶するプログラム領域および前記CPUが使用する作業領域を有する記憶装置と、を備えた電子回路を解析する電子回路解析方法であって、

前記電子回路のCPUと同種の第1および第2のCPUと、前記電子回路を解析するための解析プログラムを保存するプログラム領域、前記解析プログラムの作業領域および前記電子回路の前記記憶装置を模擬するエミュレーション領域を有するデータの読取り書き込み可能な記憶装置と、を準備するステップ(a)と、前記電子回路のCPUが外されたCPUソケットを通して前記電子回路と前記第1および第2のCPUとを接続するステップ(b)と、

前記解析プログラムを実行するステップ(c)と、前記第1および第2のCPUの中から何れか一つのCPUを選択するステップ(d)と、

該ステップ(d)で選択されたCPUが前記電子回路のCPUの動作の代行をするとき、該CPUに前記電子回路の前記記憶装置の使用を許可するステップ(e)と、を備えたことを特徴とする電子回路解析方法。

【請求項8】請求項7記載の方法において、前記ステップ(e)が、前記第1のCPUと前記電子回路との間を接続するステップ(e1)と、前記第1のCPUと前記電子回路間の接続を遮断するステップ(e2)と、を含むことを特徴とする電子回路解析方法。

【請求項9】請求項7記載の方法において、所定のクロックパルスを発振するステップ(f)と、前記ステップで発振されたクロックに従って、前記第1および第2のCPUが同期して動作するステップ(g)と、

前記第1および第2のCPUの動作状態を示すデータを記憶するステップ(h)と、

該第1および第2のCPUからの制御信号を読み取るステップ(i)と、

該ステップ(i)で読取られた第1および第2のCPUの各制御信号に基づいて、該信号が一致するかどうか検出するステップ(j)と、をさらに備えたことを特徴とする電子回路解析方法。

【請求項10】CPUソケットに挿入され、所定のターゲットプログラムを実行するCPUと、該CPUに接続され、前記ターゲットプログラムを記憶するプログラム領域および前記CPUが使用する作業領域を有する記憶装置と、を備えた電子回路を解析する電子回路解析装置が実行する電子回路解析プログラムを記録した媒体であって、前記電子回路解析装置が、前記電子回路のCPUが外されてCPUソケットを通して前記電子回路に接続され、前記電子回路と同種の、前記解析プログラムを実行する第1および第2のCPUと、前記第1のCPUに

接続され、前記解析プログラムを保存するプログラム領域、前記解析プログラムの作業領域および前記電子回路の前記記憶装置を模擬するエミュレーション領域を有するデータの読取り書き込み可能な記憶装置と、を備え、前記解析プログラムが、前記電子回路解析装置の第1および第2のCPUの中から何れか一つのCPUを選択するステップ(a)と、該ステップ(a)で選択されたCPUが前記電子回路のCPUの動作を代行するとき、該CPUに前記電子回路の記憶装置の使用を許可するステップ(b)と、を備えたことを特徴とする電子回路解析プログラムを記録した媒体。

【請求項11】請求項10記載の媒体において、前記解析プログラムのステップ(b)が、前記電子回路解析装置の第1のCPUと前記電子回路との間を接続するステップ(b1)と、前記電子回路解析装置の第1のCPUと前記電子回路間の接続を遮断するステップ(b2)と、を含むことを特徴とする電子回路解析プログラムを記録した媒体。

【請求項12】請求項10記載の媒体において、前記解析プログラムが、所定のクロックパルスを発振するステップ(c)と、前記ステップで発振されたクロックに従って、前記電子回路解析装置の第1および第2のCPUが同期して動作するステップ(d)と、前記電子回路解析装置の第1および第2のCPUの動作状態を示すデータを記憶するステップ(e)と、該電子回路解析装置の第1および第2のCPUからの制御信号を読み取るステップ(f)と、該ステップ(f)で読取られた電子回路解析装置の第1および第2のCPUの各制御信号に基づいて、該信号が一致するかどうか検出するステップ(g)と、をさらに備えたことを特徴とする電子回路解析プログラムを記録した媒体。

【請求項13】CPUソケットに挿入され、所定のターゲットプログラムを実行するCPUと、該CPUに接続され、前記ターゲットプログラムを記憶するプログラム領域および前記CPUが使用する作業領域を有する記憶装置と、を備えた電子回路をコンピュータを利用して解析する電子回路解析システムであって、前記コンピュータに接続され、前記電子回路を解析する解析プログラムを転送するインターフェース部と、前記電子回路を解析するための解析プログラムを実行するとともに、前記電子回路のCPUの動作を代行する前記電子回路と同種の第1および第2のCPUと、前記電子回路のCPUが外されたCPUソケットを通して前記電子回路と第1および第2のCPUとを接続する接続手段と、前記第1のCPUに接続され、前記解析プログラムを保存するプログラム領域、前記解析プログラムの作業領域および前記電子回路の前記記憶装置を模擬するエミュレーション領域

を有するデータの読取り書き込み可能な記憶手段と、を備えた電子回路解析装置から構成される電子回路解析システムにおいて、

前記電子回路解析装置が、前記第1および第2のCPUの中から何れか一つのCPUを選択し、該選択されたCPUに、前記電子回路の前記記憶装置の使用を許可する選択許可手段を備えたことを特徴とする電子回路解析システム。

【請求項14】請求項13記載のシステムにおいて、前記電子回路解析装置の選択許可手段が、前記接続手段を介した前記電子回路と前記第1のCPUとの間に介在して、前記第1のCPUと前記電子回路との間の接続を切替えるドライバ/レシーバを含むことを特徴とする電子回路解析システム。

【請求項15】請求項14記載のシステムにおいて、前記電子回路解析装置のドライバ/レシーバが前記電子回路解析装置の第1のCPUと前記電子回路間の全部又は一部を遮断したとき、前記電子回路解析装置の第1のCPUが前記電子回路解析装置の記憶手段のエミュレーション領域と遮断していない領域を使用して動作し、前記電子回路解析装置の第2のCPUが前記電子回路の前記記憶装置や前記エミュレーション領域を共有領域として使用して動作することを特徴とする電子回路解析システム。

【請求項16】請求項15記載のシステムにおいて、前記電子回路解析装置が、所定のクロックパルスを発振するクロック発振器と、前記第1および第2のCPUの動作状態を示すデータを記憶する動作状態記憶手段と、前記第1および第2のCPUの制御信号をそれぞれ読み取る信号読取手段と、該信号読取手段の第1および第2のCPUの各制御信号に基づいて、該信号が一致するかどうか検出する検出手段と、をさらに備え、

前記電子回路解析装置の第1および第2のCPUが前記電子回路解析装置のクロック発振器に接続されて、同期して動作することを特徴とする電子回路解析システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子回路を解析する電子回路解析装置、方法、並びに電子回路を解析するプログラムを記録した媒体およびシステムに関し、特に、セントラルプロセッシングユニット(以後、「CPU」と略す)を搭載した電子回路を解析するために、それぞれが電子回路と同種の複数のCPUを利用した電子回路解析装置、方法、並びに電子回路を解析するプログラムを記録した媒体およびシステムに関する。

【0002】

【従来の技術】近年、CPUおよび記憶装置を備えた電子回路の利用範囲は様々な分野に拡大し、そのシステム

開発を効率良く行って生産性を向上させる必要性が高まっている。従来より、電子回路のシステム開発を効率良く行なうために、電子回路の解析をする電子回路解析装置が使用されている。このような電子回路解析装置としては、インサーキットエミュレータ（以後、「ICE」と呼ぶ）およびROMエミュレータなどが良く知られている。

【0003】図9に示されるように、解析対象の電子回路（以後、「ターゲット」と呼ぶ）20は、CPU21、ROM23、RAM24、入出力装置（以後、「I/O」と略す）25、PROM26を備えている。一般的にターゲット20はPROM26に予めターゲットプログラム32を記憶しておき、このターゲットプログラム32を実行して、所定の機能を実現するものである。ICE10は、このターゲット20のCPU21の代わりにCPUソケット22にICE10のボッド19を挿入して、ターゲット20のCPU21、ROM23、RAM24、I/O25の動作をICE10が代行し、その動作を監視することによって、ターゲット20の解析を行なうものである。ICE10は、ターゲット20のハードウェアデバッグを行なうだけでなく、ターゲットプログラム32のソフトウェアデバッグ、およびそれらの統合的なシステムデバッグを行なうものである。

【0004】図9によれば、ICE10は、CPU11と、エミュレーション制御部13と、記憶装置15と、インタフェース部17と、ボッド19と、から構成される。ICE10は、CPU11の動作状態を蓄積するトレースRAM（図示なし）などをさらに含むこともできる。ICE10はコンピュータ30とターゲット20との間に介在し、インタフェース部17を介してコンピュータ30に接続される。

【0005】通常、デバッグソフトと呼ばれる解析プログラム31と、ターゲットプログラム32と、がコンピュータ30からインタフェース部17を介してICE10の記憶装置15に転送される。ICE10は解析プログラム31の制御下で、ターゲットプログラム32を実行し、ターゲット20の解析を行なう。ICE10は、記憶装置15だけでなくターゲット20のROM23、RAM24およびI/O25などのリソースも使用して動作するため、初期立ち上げ時に、ターゲット20のリソースを認識してシステムに組み込んでから動作を開始する。

【0006】図9に示されるICE10は、ターゲット20と同じ機種別のCPUを使用しているが、一般的に広く普及しているICEは、ターゲット20に使用されるCPUを製作しているメーカからCPUの機種ごとにICE専用のCPUが提供されて構成される。このICE専用のCPUは、ターゲット20のリソースを使用することなく、ICE側で、ターゲット20のリソースを仮想コードに置き換えて動作させることができ、従って、

初期立ち上げ時のターゲット20側へのアクセスが不要となる。

【0007】一方、ターゲットプログラム32をバージョンアップした場合などは、通常、ターゲット20のデバッグは、ROMエミュレータ40を使用して行われる。図9に示されるように、ROMエミュレータ40は、ターゲット20のROMソケット27にPROM26の代わりにボッド49を挿入して接続される。ターゲット20のCPU21はCPUソケット22に挿入される。コンピュータ30からインタフェース部47を介して、ターゲットプログラム32を記憶装置45に転送して、ROMエミュレータ40のエミュレーション制御部43の制御下でターゲット20のCPU21にターゲットプログラム32を実行させて、解析を行なうのである。

【0008】

【発明が解決しようとする課題】しかしながら、従来のICEにおいては、ICE専用のCPUを使用する場合、今後ますます高速化するCPUの進歩に、ICE専用のCPUの供給が追いつかないという問題がある。また、ICE専用のCPUを使用しないICEの場合、その起動時にはターゲット側のリソースを使用して立ち上がる為、ターゲット側に予め不具合があると、ICE自身が正常に立ち上がることができないという問題点もあった。さらに、電子回路のシステム開発時、ICEとROMエミュレータの両方を使用してデバッグを実施するのも、工程が煩雑になるという問題点がある。

【0009】上記の問題点を解決するために、本発明の電子回路解析装置、方法、並びに電子回路を解析するプログラムを記録した媒体およびシステムは、ターゲットと同種の複数のCPUを利用し、ターゲットのハードウェア、ソフトウェア並びにシステムのデバッグを1台の装置で実施可能にすることを目的とするとともに、より高機能、高精度な電子回路解析手法を提供することを目的とする。

【0010】

【課題を解決するための手段】第1の発明は、上記課題を解決するために、CPUソケットに挿入され、所定のターゲットプログラムを実行するCPUと、該CPUに接続され、前記ターゲットプログラムを記憶するプログラム領域および前記CPUが使用する作業領域を有する記憶装置と、を備えた電子回路を解析する電子回路解析装置であって、前記電子回路を解析するための解析プログラムを実行するとともに、前記電子回路のCPUの動作を代行する前記電子回路と同種の第1および第2のCPUと、前記電子回路のCPUが外されたCPUソケットを通して前記電子回路と前記第1および第2CPUとを接続する接続手段と、前記第1のCPUに接続され、前記解析プログラムを保存するプログラム領域、前記解析プログラムの作業領域および前記電子回路の前記記憶

装置を模擬するエミュレーション領域を有するデータの読取り書き込み可能な記憶手段と、前記第1および第2のCPUの中から何れか一つのCPUを選択し、該選択されたCPUに、前記電子回路の前記記憶装置の使用を許可する選択許可手段と、を備えたことを特徴とする。

【0011】この構成によれば、電子回路のハードウェアデバッグ、ソフトウェアデバッグおよびシステムデバッグなどの各デバッグ工程において、適切なCPUを選択的に動作させて、電子回路の解析を行なうことができる電子回路解析装置が提供される。例えば、電子回路のハードウェアのデバッグ時は、第1CPUを選択して、電子回路の記憶装置を使用せずに、電子回路解析装置の記憶手段を使用して解析を行なう。次いで、初期の電子回路のシステムデバッグ時は、第1CPUを選択して、電子回路解析装置の記憶手段から、徐々に電子回路の記憶装置を使用して解析を行なう。最終的な電子回路のシステムデバッグ時は、第2CPUを選択して、電子回路の記憶装置を使用して動作させて、電子回路の解析を実施することができる。さらに、本構成を実現するための電子回路解析方法およびその方法を実現するための解析プログラムを記録した媒体が提供される。

【0012】また、前記選択許可手段が、前記接続手段を介した前記電子回路と前記第1のCPUとの間に介在して、前記第1のCPUと前記電子回路との間の接続を切替えるドライバ/レシーバと、を含んでもよい。この構成において、前記ドライバ/レシーバが前記第1のCPUと前記電子回路間の全部又は一部を遮断したとき、前記第1のCPUが前記記憶手段のエミュレーション領域と遮断されていない領域を使用して動作し、前記第2のCPUが前記電子回路の前記記憶装置と前記エミュレーション領域を共有領域として使用して動作する。

【0013】また、前記電子回路解析装置は、インサーキットエミュレータであっても、ROMエミュレータであってもよい。第2の発明は、上記課題を解決するために、所定のクロックパルスを発振するクロック発振器と、前記第1および第2のCPUの動作状態を示すデータを記憶する動作状態記憶手段と、前記第1および第2のCPUの制御信号をそれぞれ読み取る信号読取手段と、該信号読取手段の第1および第2のCPUの各制御信号に基づいて、該信号が一致するかどうか検出する検出手段と、をさらに備え、前記第1および第2のCPUが前記クロック発振器に接続されて、同期して動作することを特徴とする。

【0014】この構成によれば、第1および第2のCPUを同じクロックで動作させ、解析すべき電子回路を経由した制御信号と、電子回路解析装置内のみの制御信号を比較して、制御信号が不一致かどうかを検出することができ、従来より高機能および高精度な解析を行なうことが可能となる電子回路解析装置が提供される。これにより、従来のICEのみでは、不可能であった電子回路

内のノイズによる誤動作などの再現性の無い不具合の解析も、本発明の電子回路解析装置単体で可能となる。さらに、本構成を実現するための電子回路解析方法およびその方法を実現するための解析プログラムを記録した媒体が提供される。

【0015】第3の発明は、上記の課題を解決するために、CPUソケットに挿入され、所定のターゲットプログラムを実行するCPUと、該CPUに接続され、前記ターゲットプログラムを記憶するプログラム領域および前記CPUが使用する作業領域を有する記憶装置と、を備えた電子回路をコンピュータを利用して解析する電子回路解析システムであって、前記コンピュータに接続され、前記電子回路を解析する解析プログラムを転送するインターフェース部と、前記電子回路を解析するための解析プログラムを実行するとともに、前記電子回路のCPUの動作を代行する前記電子回路と同種の第1および第2のCPUと、前記電子回路のCPUが外されたCPUソケットを通して前記電子回路と第1および第2のCPUとを接続する接続手段と、前記第1のCPUに接続され、前記解析プログラムを保存するプログラム領域、前記解析プログラムの作業領域および前記電子回路の前記記憶装置を模擬するエミュレーション領域を有するデータの読取り書き込み可能な記憶手段と、を備えた電子回路解析装置から構成される電子回路解析システムにおいて、前記電子回路解析装置が、前記第1および第2のCPUの中から何れか一つのCPUを選択し、該選択されたCPUに、前記電子回路の前記記憶装置の使用を許可する選択許可手段を備えたことを特徴とする。

【0016】この構成によれば、コンピュータを利用して、CPUを搭載した電子回路を解析する解析システム、方法およびその方法を実現するための解析プログラムを記録した媒体が提供され、電子回路と同種の複数のCPUを利用することにより、1つの電子回路解析装置を用いたシステムで、電子回路のハードウェアデバッグ、ソフトウェアデバッグおよびシステムデバッグなどの各デバッグ工程において、適切なCPUおよびリソースを選択して電子回路の解析を行なうことが可能になる。

【0017】

【発明の実施の形態】以下に図面に基づいて、本発明の詳細な説明を示すが、本発明は以下の実施例により限定されるものではない。尚、すべての図面において、同様な構成要素は同じ参照記号および符号を用いて示してある。図1に、本発明に係る電子回路解析装置の一実施例のブロック図を示す。

【0018】図1に示されるように、電子回路解析装置100は、ターゲット200と、コンピュータ300の間に介在し、コンピュータ300を利用してターゲット200を解析するためのものである。本実施例では、解析されるターゲット200は、CPUソケット202に

挿入されるCPU210と、ROM220と、RAM222と、I/O224と、クロック発振器226と、を備えている。ターゲット200は、所定のターゲットプログラム320をCPU210によって実行して、所定の機能を実現するものである。CPU210、ROM220、RAM222およびI/O224はすべて互いにバスで接続されている。クロック発振器226は、クロックパルスを発振してCPU210に供給する。電子回路解析装置100によってターゲット200の解析を行なう際、ターゲット200のCPU210は拔出され

て、代わりに電子回路解析装置100のボッド104が挿入されて、電子回路解析装置100とターゲット200が接続される。

【0019】コンピュータ300は、特に限定はしないが、図示されないCPU本体と、記憶装置と、キーボードおよびCRT表示器などのコンソールと、プリンタなどの周辺入出力装置と、外部装置との通信インタフェース部と、を備えている。コンピュータ300は、デバッグソフトと呼ばれる解析プログラム310とターゲット200のCPU210が実行するターゲットプログラム320が予め記憶装置内にインストールされている。解析プログラム310は、本発明の電子回路解析装置100の動作を制御するものであり、解析プログラム310によって、コンピュータ300から電子回路解析装置100を制御してターゲット200の解析が可能になる。操作者は、コンピュータ300を介して、電子回路解析装置100を操作でき、必要に応じて電子回路解析装置100に所定の命令をすることができる。これらの処理を可能にするユーザインタフェース手法は公知技術で実現可能である。ターゲットプログラム320

は、前述されたようにターゲット200が実行するように開発されたプログラムであり、本発明の電子回路解析装置100のデバッグ対象のひとつである。これらのプログラムは、各種の媒体に記録されて提供される。媒体としては、磁気ディスク、フロッピーディスク、光ディスク、CD-ROM、DVD-ROMおよびPROMなどがあり、コンピュータ300が読取り可能な媒体の形態で提供される。

【0020】本実施例において、電子回路解析装置100は、コンピュータ300と接続可能なインタフェース部102を備え、例えば、RS-232Cなどの通信用のケーブルでコンピュータ300に接続される。電子回路解析装置100は、さらに、ターゲット200のCPU210と同じ機種

ス、制御バス、アドレスバスなどを含んでいる。

【0021】第1および第2ドライバ/レシーバ130、132は、マルチプレクサ回路を有し、各端子間の接続を切替えるものである。第1ドライバ/レシーバ130は、ボッド104を介してターゲット200のCPUソケット202に、第1CPU110に、およびバス制御部150に、それぞれ接続される。第1ドライバ/レシーバ130は、ターゲット200と第1CPU110の間を接続および遮断する設定を切替えるとともに、さらに、バス制御部150に第1CPU110の制御信号の読取を許可および禁止する設定を切替えるものである。第2ドライバ/レシーバ132は、第2CPU112およびバス制御部150に接続される。第2ドライバ/レシーバ132は、バス制御部150に第2CPU112の制御信号の読取を許可および禁止する設定を切替えるものである。

【0022】第1CPU110は、ターゲット200のCPUソケット202にボッド104および第1ドライバ/レシーバ130を介して接続され、第2CPU112は、直接ターゲット200のCPUソケット202にボッド104を介して接続される。クロック発振器114は、第1および第2CPU110、112に接続され、クロックパルスを発振して、各CPUにクロックパルスを供給する。

【0023】電源スイッチ116は、第2CPU112に接続され、第2CPU112への電源の供給を入り切りするものである。本実施例では、第2CPU112への電源の供給を入り切りすることによって、第2CPU112の動作の許可および禁止を切替えている。記憶装置120は、読取り書込みが可能な記憶装置であり、解析プログラム310およびターゲットプログラム320を保存するプログラム領域と、第1CPU110が使用する作業領域と、ターゲット200のROM220、RAM222およびI/O224を模擬するエミュレーション領域と、を含む。記憶装置120は、第1CPU110と接続されて、第1CPU110が動作する際にアクセスされる。また、記憶装置120内のデータは、インタフェース部102を介して、コンピュータ300から読取り書込みが可能である。

【0024】トレースRAM140は、読取り書込みが可能な記憶装置であり、第1および第2CPU110、112に接続されて、各CPUの動作状態を蓄積するものである。この蓄積されたデータは、インタフェース部102を介して、コンピュータ300から読取り書込みが可能である。バス制御部150は、第1ドライバ/レシーバ130を介して、第1CPU110に接続され、第2ドライバ/レシーバ132を介して、第2CPU112に接続され、第1および第2CPU110、112のバスラインの制御を行なうものである。

【0025】検出部160は、バス制御部150に接続

され、バス制御部150によって受信された第1および第2CPU110、112の制御信号が、一致するかどうか検出するものである。この検出結果は、インタフェース部102を介して、コンピュータ300から読取り可能である。このように構成された電子回路解析装置を用いて、ターゲットの解析を行なう場合、はじめに、ターゲットのハードウェアのデバッグを行ない、次いで、ターゲットのソフトウェアを含めたシステムデバッグが行われる。また、本発明の電子回路解析装置は、複数のCPUを同期して動作させ、これらの動作を比較することによって、より詳細なシステムデバッグが実施でき、これにより、ターゲット200内のノイズによる誤動作などの再現性の無い不具合の解析も可能となる。さらに、ターゲットのソフトウェアのバージョンアップなどに伴う、ソフトウェアのみのデバッグにも使用できる、すなわち、従来のROMエミュレータの機能も本発明の電子回路解析装置は備えている。以下に、それぞれの工程における、本発明の電子回路解析装置の作用について説明する。

【0026】図2に、本発明の電子回路解析装置を用いてターゲットの解析を行なう手順の第1例を示す。図2に示されるフローチャート内の各ステップは、必ずしも実行されなければならないものではなく、必要に応じて自由にバイパス可能であり、それらは一般的なソフトウェア技術およびプログラミング手法を用いて簡単に変形および変更が可能なのである。ここで、本発明の理解を深めるために、さらに図3〜5を用いて説明する。図3〜5において、電子回路解析装置100内のどの構成要素がどの工程で作用しているかを明確にするために、作用している構成要素のみを図示し、作用していない構成要素は図から省略して示してある。

【0027】図2に示されるように、ステップA1で、電源スイッチ116のスイッチがオフされ、第2CPU112を図3に示されるようにシステム構成から排除する。次いで、ステップA2で、第1ドライバ/レシーバ130を第1CPU110とターゲット200の間の接続を遮断するように設定する。ステップA3で、解析プログラム310をインタフェース部102を介してコンピュータ300から記憶装置120に転送して保存する。本実施例においては、解析プログラム310は、コンピュータ300から電子回路解析装置100に転送されるが、他の実施の形態においては、予め電子回路解析装置内の不揮発性記憶装置に記憶させておき、不揮発性記憶装置から記憶装置120内に転送してもよい。ステップA4で、第1CPU110をリセットして、電子回路解析装置100のクロック発振器114から発振されたクロックパルスに基づいて、第1CPU110を動作させる。第1CPU110は、解析プログラム310の制御下で、ターゲット200のリソース、すなわち、ROM220、RAM222およびI/O224を記憶装

置120のエミュレーション領域に置き換えてハードウェアのデバッグを実施する。このようにして、電子回路解析装置100は、完全にターゲット200と分離された状態でデバッグが可能になる。尚、ステップA3で、ターゲットプログラム320を同時にコンピュータ300からダウンロードしてもよく、第1CPU110によってターゲットプログラム320を動作させ、ターゲット200のリソースは記憶装置120のエミュレーション領域に置き換えてデバッグを行なうこともできる。このようにすれば、電子回路200のハード的な不具合に左右されずに、ターゲットプログラム320のソフトウェアの単純な構造チェック程度のデバッグも可能となる。

【0028】次に、ステップB1で、第1ドライバ/レシーバ130を第1CPU110とターゲット200の間を接続するように設定する。ステップB2で、ターゲットプログラム320をインタフェース部102を介してコンピュータ300から記憶装置120に転送して保存する。ステップB3で、第1CPU110をリセットして、ターゲットプログラム320の起動を行なう。このとき、第1CPU110は、図4に示されるように、ターゲット200のクロック発振器226から発振されるクロックパルスに従って動作する。ターゲットプログラム320の実行は、記憶装置120のエミュレーション領域を使用して行い、徐々に、ターゲット200のリソース、すなわちROM220、RAM222およびI/O224へと移植させる。

【0029】次に、ステップC1で、電源スイッチ116のスイッチがオンされ、第2CPU112が、図5に示されるようにシステム構成に追加される。ステップC2で、第1ドライバ/レシーバ130を第1CPU110とターゲット200の接続を遮断するように設定する。ステップC3で、第2CPU112をリセットして、解析プログラム310の制御下で、ターゲットプログラム320を実行する。この場合、第2CPU112が直接ターゲット200のCPUソケット202に接続され、かつ、直接アクセスするので、タイミングのずれもなく、実機に等しい性能でターゲット200の解析が可能である。

【0030】以上のようにして、本発明の電子回路解析装置100は、ターゲット200の解析を、ハードウェアデバッグ、ソフトウェアデバッグ、システムデバッグと、段階的に実施することができる。図6〜8に、本発明の電子回路解析装置の第2の使用例を示す。図6および7に示される手順に従って、本発明の電子回路解析装置を使用してターゲットの解析を行なう。図6によれば、ステップD1で、電源スイッチ116をオンして、第2CPU112へ電源を供給して動作可能にする。次いで、ステップD2で、第1ドライバ/レシーバ130を、第1CPU110とターゲット200間で接続を遮

断するように、且つ、第1CPU110からの制御信号がバス制御部150で読み取り可能なように設定する。さらに、ステップD3で第2ドライバ/レシーバ132を、第2CPU112からの制御信号がバス制御部150で読取り可能なように設定する。ステップD4で、解析プログラム310およびターゲットプログラム320をインタフェース部102を介してコンピュータ300から記憶装置120に転送して保存する。ステップD5で、第1CPU110および第2CPU112をリセットする。これにより、図8に示されるように第1CPU110は、電子回路解析装置100内のリソース、すなわち、記憶装置120を使用して動作し、一方、第2CPU112は、ターゲット200のリソース、すなわち、ROM220、RAM222およびI/O224を使用して動作する。図8において、第1CPU110の動作に関する構成は点線で示し、第2CPU112の動作に関する構成は太い実線で示してある。このように、本実施例では、第1CPU110および第2CPU112の動作の分離が可能である。本発明においては、この第1および第2のCPU110および112の動作は、同じクロック発振器116によって同期をとって行なう。これにより、第1および第2CPU110、112の動作をより詳細に比較して解析することが可能になる。

【0031】ステップD6の解析ルーチンは図7に示される手順に従って解析を行なう。図7に示されるように、ステップS1で、第1および第2CPU110、112の動作状態はトレースRAM140に蓄積される。次いで、ステップS2で、第1および第2ドライバ/レシーバ130、132から第1および第2CPU110、112から制御信号をバス制御部150がそれぞれ読み取る。ステップS3で、検出部160が、各制御信号が一致するか否かを判別する。ステップS3で、制御信号が一致する場合は、そのままステップS1へ戻り、一致しない場合は、ステップS4へ進み、第1および第2CPU110、112の制御信号に不一致が検出されたことを通知して、ステップS5へ進む。この通知は所定のフラグを使用しても良く、この場合はインタフェース部102を介してコンピュータ300からフラグの内容を読取ることによって通知することができる。あるいは、所定のレジスタビットを割り当ててもよく、この場合はコンピュータ300に割り込みをかけて通知することができる。さらに、通常はステップS1の第1および第2CPU110、112の動作状態の蓄積は行なわずに、不一致の検出をトリガにして、第1および第2CPU110、112の動作状態の蓄積を自動的に開始するようにしても良い。いずれにしても、不一致の通知を受けて、操作者はそれ以後の解析ルーチンを続行するか終了するかを判断することができる。操作者は、必要に応じて解析ルーチンの終了を要求することになる。ステ

ップS5では、操作者からの解析ルーチンの終了要求があるか否かを確認し、終了要求がある場合が、解析ルーチンを終了して、図6に示されるメインルーチンへ戻り、そのまま処理を終了する。ステップS5で、操作者からの解析ルーチン終了の要求がないと判定された場合は、ステップS1へ戻る。

【0032】このようにして、操作者はステップ4における不一致の通知を受けて、各第1および第2CPU110、112のトレースRAM140内に蓄積されたデータを参照し、より詳細に解析を行なうことが可能になり、ターゲット200内のノイズによる誤動作などの再現性の無い不具合の解析も可能になる。

【0033】

【発明の効果】第1の発明によれば、電子回路と同種の複数のCPUを備え、第1のCPUは電子回路解析装置の記憶手段と、電子回路の記憶装置に接続され、第2のCPUは、電子回路の記憶装置に直接接続され、第1および第2のCPUの何れを動作させるか選択する選択許可手段を有するので、電子回路のハードウェアデバッグ、ソフトウェアデバッグおよびシステムデバッグなどの各デバッグ工程において、適切なCPUを選択的に動作させて、電子回路の解析を行なうことができる。例えば、電子回路のハードウェアのデバッグ時は、第1CPUを選択して、電子回路の記憶装置を使用せずに、電子回路解析装置の記憶手段を使用して解析を行なう。次いで、初期の電子回路のシステムデバッグ時は、第1CPUを選択して、電子回路解析装置の記憶手段から、徐々に電子回路の記憶装置を使用して解析を行なう。最終的な電子回路のシステムデバッグ時は、第2CPUを選択して、電子回路の記憶装置を使用して動作させて、電子回路の解析を実施することができる。また、電子回路と同種のCPUを使用するので、電子回路解析装置専用のCPUの開発を待たずとも、電子回路の解析が行なえる。

【0034】また、選択許可手段が、第1CPUと電子回路の間の接続を切替えるドライバ/レシーバから構成されるので、簡単な構成で第1および第2CPUを選択および切換えをすることができる。さらに、これらにより、第1CPUが電子回路解析装置の記憶手段のエミュレーション領域のみを使用して動作し、一方、第2CPUが電子回路の記憶装置を使用して動作させることができるので、複数のCPUを動作させる条件を簡単な構成で明確に分離できる電子回路解析装置を提供することもできる。さらに、本構成を実現するための電子回路解析方法およびその方法を実現するための解析プログラムを記録した媒体を提供することができる。

【0035】第2の発明によれば、第1および第2CPUを同じクロックで動作させ、解析すべき電子回路を経由した制御信号と、電子回路解析装置内のみの制御信号とを比較して、制御信号が不一致かどうかを検出するこ

とができ、従来より高機能および高精度な解析を行なうことが可能となる。これにより、従来のICEのみでは、不可能であった電子回路内のノイズによる誤動作などの再現性の無い不具合の解析も、本発明の電子回路解析装置単体で可能となる。さらに、本構成を実現するための電子回路解析方法およびその方法を実現するための解析プログラムを記録した媒体を提供することができる。

【0036】第3の発明によれば、コンピュータを利用して、CPUを搭載した電子回路を解析する解析システム、方法およびその方法を実現するための解析プログラムを記録した媒体が提供される。電子回路と同種のCPUを複数個使用することにより、1つの電子回路解析装置を用いた簡単な構成のシステムで、電子回路のハードウェアデバッグ、ソフトウェアデバッグおよびシステムデバッグなどの各デバッグ工程において、適切なCPUおよびリソースを選択して電子回路の解析を行なうことが可能になる。すなわち、電子回路解析システムを安価に構成でき、電子回路の開発工程におけるデバッグ手順を簡略化し、デバッグ工程の短縮も図れる。

【図面の簡単な説明】

【図1】本発明に係る電子回路解析システムの一実施例を示すブロック図である。

【図2】図1に示される電子回路解析装置を用いた、ターゲットのデバッグ手順の第1例を示すフローチャートである。

【図3】図2に示されるターゲットデバッグ手順におけるハードウェアデバッグ時の、電子回路解析装置の機能ブロック図である。

【図4】図2に示されるターゲットデバッグ手順におけるシステムデバッグ時の、電子回路解析装置の機能ブロック図である。

【図5】図2に示されるターゲットデバッグ手順におけるソフトウェアデバッグ時の、電子回路解析装置の機能ブロック図である。

【図6】図1に示される電子回路解析装置を用いた、ターゲットのデバッグ手順の第2例を示すフローチャートである。

【図7】図6に示されるターゲットのデバッグにおける解析ルーチンの処理手順を示すフローチャートである。

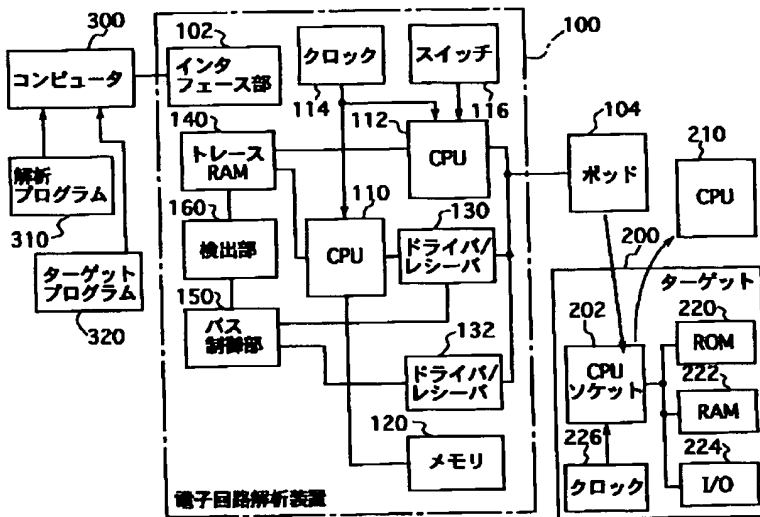
【図8】図6に示されるターゲットデバッグ手順におけるシステムデバッグ時の、電子回路解析装置のブロック図である。

【図9】従来のICEおよびROMエミュレーを用いた電子回路解析システムの構成を示すブロック図である。

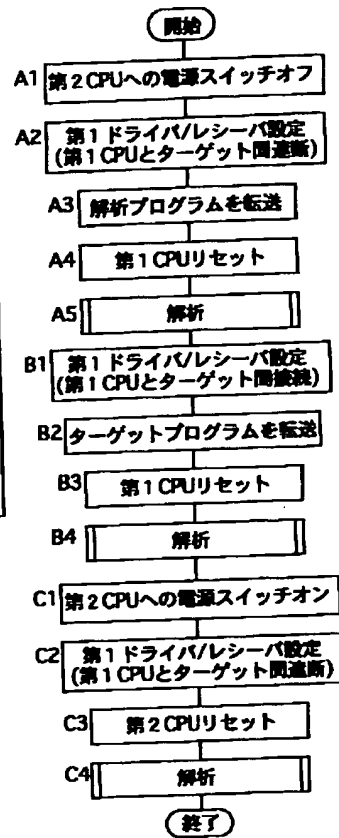
【符号の説明】

- 100 電子回路解析装置
- 102 インタフェース部
- 104 ボード（接続手段）
- 110 第1CPU（実行手段）
- 112 第2CPU（実行手段）
- 114 クロック発振器
- 116 電源スイッチ（選択許可手段）
- 120 記憶装置（記憶手段）
- 20 130 第1ドライバ／レシーバ（選択許可手段）
- 132 第2ドライバ／レシーバ（信号読取手段）
- 140 トレースRAM（動作状態記憶手段）
- 150 バス制御部（信号読取手段）
- 160 検出部（検出手段）
- 200 ターゲット（電子回路）
- 202 CPUソケット
- 210 CPU
- 220 ROM（記憶装置）
- 222 RAM（記憶装置）
- 30 224 I/O
- 226 クロック発振器
- 300 コンピュータ
- 310 解析プログラム
- 320 ターゲットプログラム

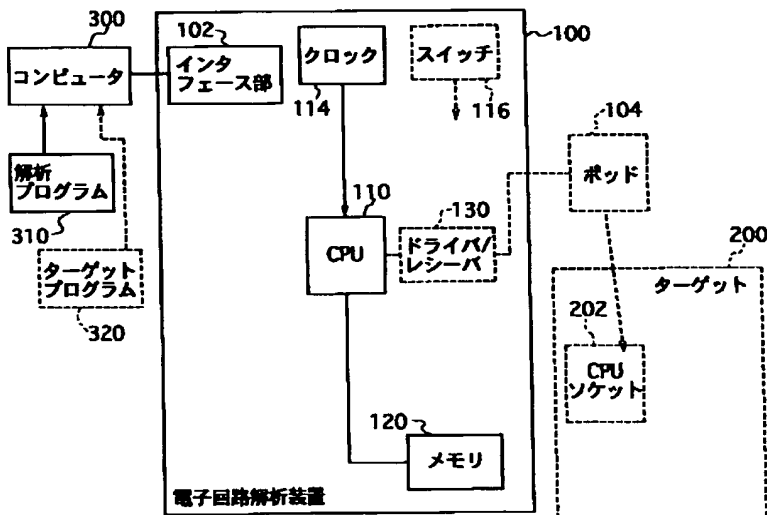
【図1】



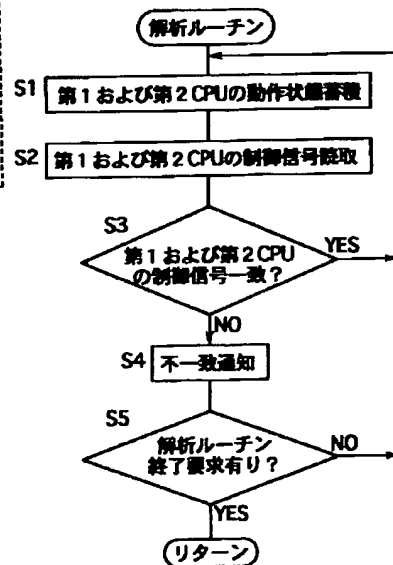
【図2】



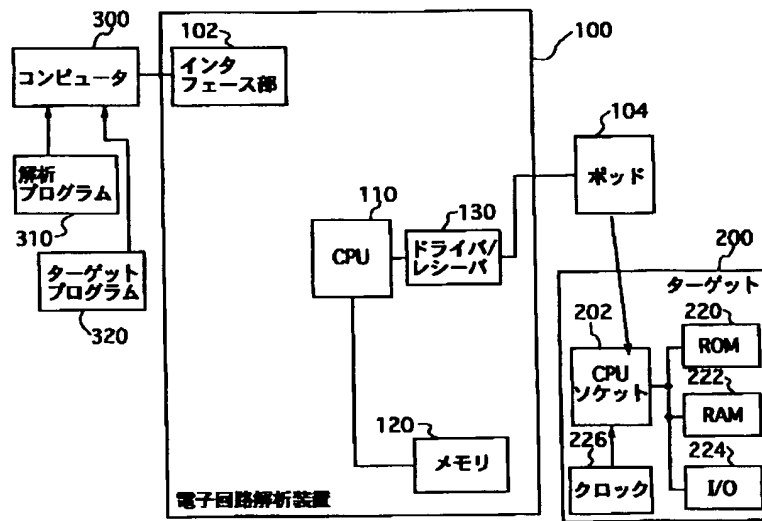
【図3】



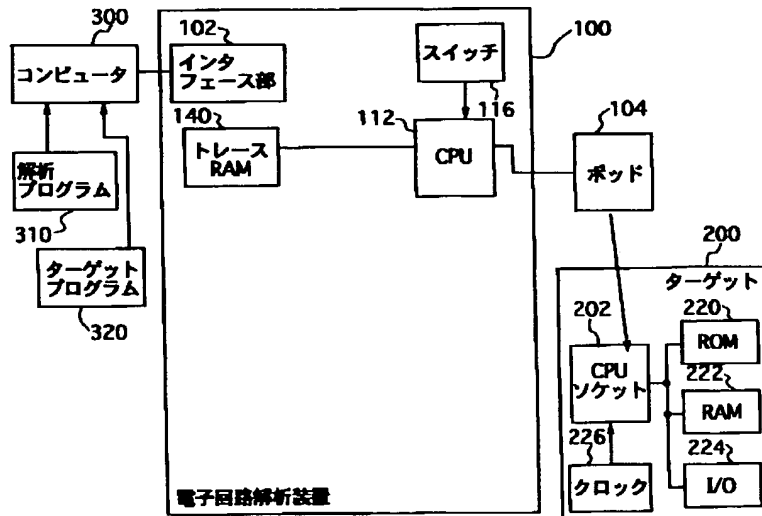
【図7】



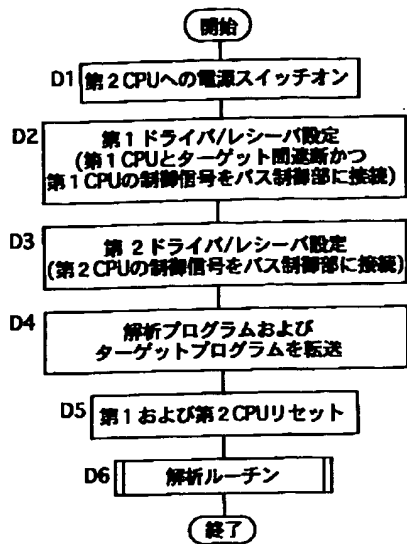
【図4】



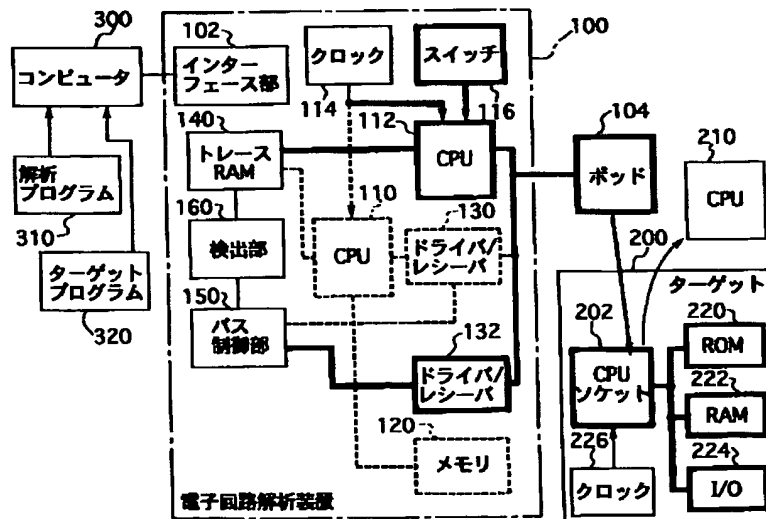
【図5】



【図6】



【図8】



【図9】

